

**DETAIL JAPANESE LEGAL STATUS**

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-232075

(43)Date of publication of application : 22.08.2000

(51)Int. Cl. H01L 21/265

H01L 29/78

H01L 21/336

(21)Application number : 11-032784

(71)Applicant : OKI ELECTRIC IND CO LTD

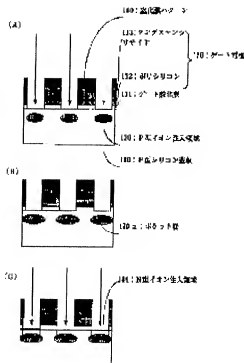
(22)Date of filing : 10.02.1999

(72)Inventor : SHINOHARA HIROBUMI

### (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

#### (57) Abstract:

**PROBLEM TO BE SOLVED:** To permit formation of a MOS FET which reliably has a pocket layer, even when it becomes difficult to implant impurity ions from an oblique direction with respect to a silicon substrate, due to its miniaturization in steps of manufacturing a semiconductor device and in particular, a MOS FET having the pocket layer. **SOLUTION:** A gate oxide film 111, a gate electrode 150 made of a polysilicon film 112 and a tungsten silicide film 113, and a nitride film pattern 140 are selectively formed on a P-type silicon substrate 110, and then the P-type silicon substrate is subjected to vertical implantation of P-type impurity ions with respect to the substrate. Then a P-type ion implanted region 120 formed by the P-type ion implantation is diffused and activated, to form a pocket layer 120a prior to the formation of other ion-implanted regions.





〔0009〕次に図8(B)に示すように、コンタクトホール430内にコンタクト層432を埋め込み、このコンタクト層432の上に配線層431を形成する。

【参考文献】 1. 李金, 李金平. 中国人口学. 北京: 中国人口出版社, 1998. 10-11

つてオケネット組を形成していた。

【0011】しかしながら、直接結合型モータインバータが例えば180mm以下になってくると、ゲート電圧増幅回路のゲート電圧の高さには比べて狭くなり、シリコン基板表面に対して斜め方向からイオン注入を行うと、図6のゲート電圧の筋に現れて不純物イオンが注入される。

人知れぬ、劇中にチヤムと相成りて空を駆け回る部分にまで相成れば、つまり、デケンと相成るということがでなくなる。一方、金オゾン性人間相形成に、オゾン性人間を相成りて空を駆け回す、デケンと相成るのを阻むという、他のオゾン性人間、例えばスーム・フロオンとなる、他のオゾン性人間ではない、デバム特性を有らせてしまう。

【0012】本発明の目的は、短チャネル効果により顕著となるチャネルホール長  $18\text{ nm}$  以下の世代の半導体装置において、ホウトド箱を構築して電圧を半導体装置の製造方法を低減することにある。

【0013】  
【課題を解決するための手段】上述の目的を達成するため、本発明の半導体装置の製造方法では、第1導電型の半導体基板表面に、ゲート絶縁膜およびゲートの下に低

上に位置するゲート電極を物理的に形成する。次に第1型電極の不純物を、ゲート電極をマスクにして半導体基板表面に対して選択的に導入することにより、半導体基板表面に第2型電極を形成し、第2型電極の厚さを約100Åに調整する。

このイオン注入装置は、ゲート電極に対応するチャネル領域の直下に位置するように調整されることにより、活性化する。その後、ゲート電極をオープンにして、第2導電

第2の試験面を準備検査施設設置面より所定の深さに入射することにより、第2導電型のイオン注入領域を形成する。それからこれを活性化させて第2導電型のソースおよびドレインを形成する。

【0014】  
【発明の実施の形態】図1および図2は本発明の半導体装置の製造方法の第1の実施の形態について説明するための断面図である。以下、図1および図2を用いて

【0015】本発明の第1の実施の形態を用いて、NMOS FET (N-type Metal Oxide Semiconductor Field Effect Transistor) の製造方法について説明する。

【0016】まず、図1(A)に示すように、P型シリコン基板110上に酸化膜、ポリシリコン膜、タンダニ

チンブリサートではおよそ15個の炭素を鎖に形成する。そしてこれらの4個の炭素はベンザニオンでグレート炭化質(1)1、ポリリソニン(1)2とタンダスチンブリサート(1)3からなるグレート電極1.50、およそ15個の炭素ベンザニオン40を構成している。

[0017]次に、ポリリソニン基板10中に炭化質ベンザニオン14およびグレート電極15を形成にし

て、P型シリコン基板110の表面に対して図1(A)の矢印で示すように垂直にP型の不純物イオンを注入し、P型イオン注入領域120を形成する。図1(A)の工程のパラメータおよび条件は以下の通りである。注入する不純物イオンの種類: B、F<sup>+</sup>、イオン注入エネルギー

第一、約2000kcal、P型シリコン樹脂11.00の添加から、  
 注1表(3)の式に、 $0.01 \times 0.10 \times m$ 、 $m$ は、約10<sup>3</sup>g/cm<sup>2</sup>、  
 [0.013]は、次の(1B)に示すように、P型シリコン  
 注1表4.12.0を樹脂中にチナキル樹脂で充填した  
 分の状態にまで充填させるため、300~550℃で60~90分  
 間、熱処理を行う。この熱処理によって、P型シリコン  
 入量4.12.0は充填することにより、充填記されたシリ  
 コン4.12.0となる。

【0019】次に図1（C）に示すように、P型シリコン基板110中に窒化ホウ素114およびゲート電極150をマスクにして、P型シリコン基板110の表面に対して図1（C）の矢印で示すように垂直にN型の

不純物イオンを注入して、N型イオン注入領域144を形成する。図1(C)の工程のパラメータおよび条件は以下の通りである。注入する不純物イオンの種類：As、イオン注入エネルギー：お200~300keV、ドーズレートを

基板の表面からの注入深さ：約0.04〜0.07  $\mu$ m、ドーピング濃度：約 $2 \times 10^{13}$ 〜 $5 \times 10^{15}/\text{cm}^2$ 。  
【0020】次に図2 (A) に示すように、ゲート電極

【0,021】そして、P型シリコン基板10中に、サ

イドノウオールスベータ41および変化係パターン140をマスキにして、P型シリコン基板110の表面に於いて垂直にN型の不純物イオンを注入して、N型イオン注入領域123を形成する。図2(A)の工程のパラメ

ークおよび条件は以下の通りである。注入する不純物イオンの種類：As<sup>+</sup>、イオン注入エネルギー：約50keV、P型シリコン基板110の表面からの注入深さ：約0.1μm、熱処理：400℃、10分。

【0022】次に図2 (B) に示すように、約100℃にて、おいて約10分程度をを行う。この処理間によって、N型イオン注入部域1・2は活性化化されてソース・ドレイン

されてLDD層144aとなる。次に、全面にSiO<sub>2</sub>などの絶縁性の層間膜115を堆積させ、それらソース・ドレイン層123aの上部に、フオトリソグراف

一工程にエッチング工程を行って、コンタクトホール30を開口させる。  
100251 図2(C)に示すように、コンタクトホール132を形成するため導電性を全面に増強させ、エッチングまたはMP (Chemical Mechanical Polish)を行ってコンタクトホール130にコンタクト面132を形成する。最後に図131を導通させて

オトリゾラフナー工造とエリチゾラフ工造でターニングする。なお、コンタクト132を主薬品として用いることも可能である。

【0024】なお本発明のバターン140およびバターン140スベール141は、図2(B)におけるゾー

トイ・パンダ 1.2.3 の上盤にコングラット・ホーム 1.3.0.1  
を合するとき、7オクタヴァ・クワイター一帯におけるマ  
ウスがたのずけに出現して、コングラット・ホームの開口  
面がわたる場合に生じる、ター・電線 1.5.0 の廻出を  
示すのである。もし、ター・電線 1.5.0 が廻出したとき、こ  
れは図 2 に示したコングラット・ホーム 1.3.0.1 に、電  
線 1.3.2 1.3.2.1 である。廻出したター・電線 1.5.0 が、こ  
レコングラット・ホーム 1.3.2.1 である。

突的に故障し、ショートしてしまう。したがって、ゲート電圧1.50V以上に動作閾値パターン140を、およびゲート電圧1.50V、またはパターン140およびゲート電圧1.50Vの間にサードチャネルパターン141を配置し、1つの電圧にサードチャネルパターン141を配置

【0025】上述した通り、本発明の第1の実施形態の作用効果は、以下に示す通りである。

の平均伸び率の出現割合では、ポリアンロム120を占めるP型イオン注入領域120は、ソース・ドレイン層123を形成する前に発生して飽和するため、ソース・ドレイン層123の形成工程に影響を与えずに、ホ

ケット値となる。P型イオン注入領域1200の拡散条件を任意に設定できる。つまり、P型イオン注入領域1200をイオン注入によって直接、動作時にチャネル領域下で空乏層が広がる部分に形成しなくてもいい。したがって

P型の不純物のイオンをP型シリコン基板100の表面に対して垂直に注入することが可能になるので、P型の不純物のイオンをシート電極150によって遮られることなく注入できる。したがって、ゲート電極150の長さ

が強く、隣り合うゲート電極150nm上の間隔が狭い場合でも、ボケツト幅120nmを動作時にチャネル領域下で空乏層が広がる部分に形成することができ、これにより

【0025】さらにLDD層144は、ポゲット図120a形成の後に形成されるため、ポゲット図120a

る。これは、ボックストロム120となるP型オゾン領域120はLDD図144となるイオン注入領域44を形成する前に形成して熱処理することができ

【0027】本発明の第1の実施の形態ではNMO  
ETを例にして説明したが、これに限られたもの  
なく、PMOSFET (P-type Metal Oxide Semi  
conductor Field Effect Transistor) を製造する場合には、P型  
もい、PMOSFETを製造する場合にも、P型  
コンタクト110のかわりにN型コンタクト110を形成する

さらに図1 (A) の工型においては、P型イオン交換120組成のためのP型の不純物イオン注入の間にN型の不純物イオンを注入して、N型イオン注入を形成する。図1 (A) の工程のフローチャートは以下の通りである。注入する不純物イオンの種類

\* または A<sup>+</sup>、イオン性エポキシ樹脂：P<sup>+</sup>の割合  
0.01、A、A<sup>+</sup>の割合は約15:85、N<sup>+</sup>ジブチル基  
面からの注入深さ：0.07~0.10 μm、ドーピング  
/cc。

は以下の通りである。注入する不飽和イオンの種類  $F^{2+}$ 、イオン注入エネルギー：約20～30keV、N型シリコン基板の表面からの注入深さ：約0.04～0.07  $\mu\text{m}$ 、 $\phi_{\text{シリコン}} = 1.013 \times 10^{13} \sim 5 \times 10^{13} \text{ cm}^{-2}$

【0029】そして図2 (A) の工程においては、イオン注入部123形成のためのイオン注入の後にP型の不純物イオンを注入して、P型イオン注入

は以下の通りである。注入する不純物イオンの種類  
F<sup>2+</sup>、イオン注入エネルギー：約10keV、N型シリ  
コン基板の表面からの注入深さ：約0.15μm、ドーピング

【0030】その他の手続はNMOSFETの場合  
である。

【0031】本発明の半導体装置の製造方法は、  
 $\times 10^{15}/\text{cm}^2$ 。

体脂肪の一部に半導体基板と異なる導電層の基体をし、この基体の表面上に半導体装置を形成する場合適用することができる。

100-91 株式会社エプソン

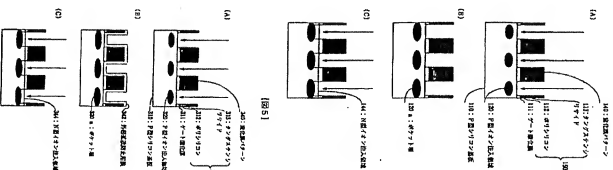
上の酸に炭素。シート電極150や酸化炭素バタン  
0と同時にバタンニシテ、シート酸に炭素11  
成しているが、この方法に製られるものではなく、

シリコン基膜10上の酸化銅のバタリーニングによる一軸化は111の形成は、ポークット層120を形成後、N型オゾン注入処理144形成前に行ってもよい[0033]あるいはLDD層144の代わりに

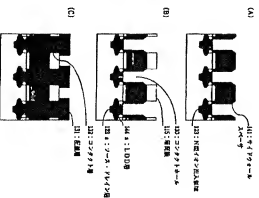




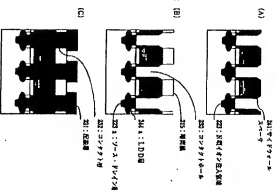
[図1]



[図2]



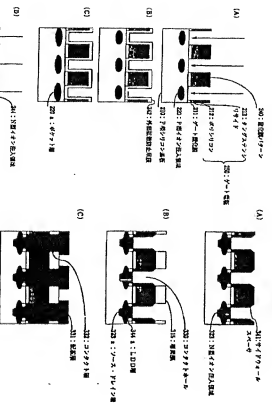
[図3]



[図4]



[図5]



[図6]

